

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110831

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01L 21/60

(21)Application number : 11-287276

(71)Applicant : SEIKO EPSON CORP

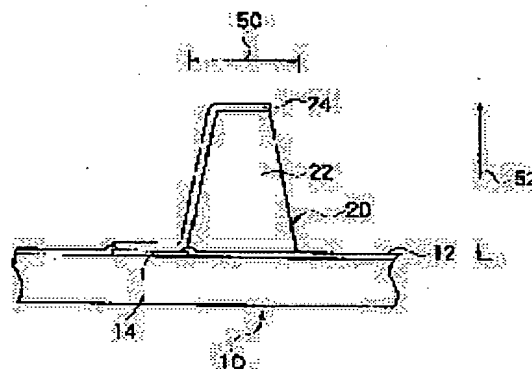
(22)Date of filing : 07.10.1999

(72)Inventor : TSUDA AKIHITO

**(54) EXTERNAL CONNECTING PROTRUSION AND ITS FORMING METHOD, SEMICONDUCTOR CHIP, CIRCUIT BOARD AND ELECTRONIC EQUIPMENT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide an outside connecting protrusion whose aspect ratio is high capable of reducing the usage of metal being materials and a method for forming the outside connecting protrusion, and for the provide a semiconductor chip using the protrusion, and a circuit board and electronic equipment.

**SOLUTION:** In an outside connecting protrusion 10, a projecting body 22 made of resin is formed adjacently to an electrode pad 20, and a conductor 24 made of metal is formed across an electrode pad 14 and the projecting body 22. Thus, the outside connecting protrusion having a high aspect ratio can be easily formed.

**LEGAL STATUS**

[Date of request for examination]

16.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-110831

(P2001-110831A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/60

識別記号

F I

H 0 1 L 21/92

テ-マコ-ト\* (参考)

6 0 2 E

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願平11-287276

(22) 出願日 平成11年10月7日 (1999.10.7)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 津田 昭仁

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

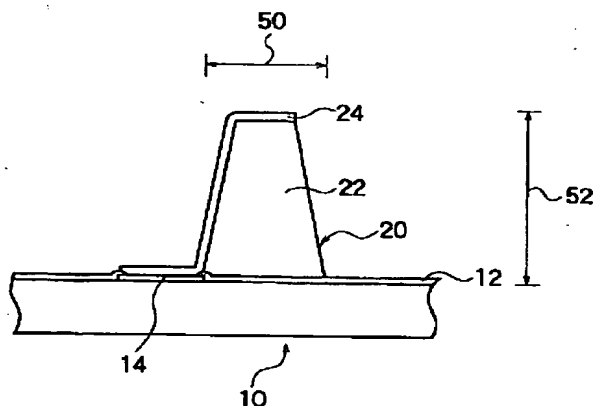
弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 外部接続突起およびその形成方法、半導体チップ、回路基板ならびに電子機器

(57) 【要約】

【課題】 アスペクト比が高く、かつ材料となる金属の使用量の低減化を図ることが可能な外部接続突起およびその形成方法、ならびにそれを用いた半導体チップ、回路基板ならびに電子機器を提供すること。

【解決手段】 外部接続突起10において、樹脂製の突出体22を電極パッド20に隣接して設け、金属製の導電体24を電極パッド14上と突出体22上とに跨った状態に形成する。このように構成することにより、アスペクト比の高い外部接続突起を形成することが容易にできる。



## 【特許請求の範囲】

【請求項 1】 半導体チップの能動素子形成面に形成されてなる外部接続突起において、半導体チップの電極の近傍に形成してなる突出体と、前記電極上と前記突出体上とに連続的に形成してなる導電体と、を少なくとも有することを特徴とする外部接続突起。

【請求項 2】 前記導電体を前記突出体の頂部を覆うように形成してなることを特徴とする請求項 1 に記載の外部接続突起。

【請求項 3】 前記突出体の頂部を平坦に形成してなることを特徴とする請求項 1 または請求項 2 に記載の外部接続突起。

【請求項 4】 前記突出体を前記電極の配列に平行にかつ前記電極の近傍に形成するとともに、前記導電体を前記電極毎に 1 つずつ形成してなることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の外部接続突起。

【請求項 5】 前記突出体を前記能動素子形成面の前記電極に囲まれた領域に枠状に形成してなることを特徴とする請求項 4 に記載の外部接続突起。

【請求項 6】 前記突出体は樹脂からなることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の外部接続突起。

【請求項 7】 半導体チップの能動素子形成面に形成されてなる外部接続突起において、半導体チップの電極上に有底円筒状に形成してなることを特徴とする外部接続突起。

【請求項 8】 請求項 1 乃至請求項 7 のいずれかに記載の外部接続突起を形成してなることを特徴とする半導体チップ。

【請求項 9】 請求項 8 に記載の半導体チップが実装されてなることを特徴とする回路基板。

【請求項 10】 請求項 9 に記載の回路基板を有することを特徴とする電子機器。

【請求項 11】 半導体ウェハ上に外部接続突起を形成する方法において、前記半導体ウェハ上に形成された電極の近傍に突出体を接着する工程と、前記電極上と前記突出体上にメッキ法により導電体を形成する工程と、を少なくとも有することを特徴とする外部接続突起の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、外部接続突起およびその形成方法、半導体チップ、回路基板ならびに電子機器に係り、特にアスペクト比の高い外部接続突起、これを有する半導体チップ、回路基板ならびに電子機器に関する。

## 【0002】

【従来の技術】半導体チップの実装においては、近年、ハンダバンプを用いて接続を行なうフリップチップ実装方式がよく用いられている。すなわち、半導体チップの

能動素子形成面（以下、能動面とする）に、メッキ法や蒸着法、あるいはあらかじめ略球形の半田ボールを電極パッドに配置するなどの方法でバンプを形成し、これらを用いて半導体チップと基板等を接続するものである。

## 【0003】

【発明が解決しようとする課題】ところが、近年、半導体チップが小型化するのに伴い、LSI チップ上に形成するバンプの相互間距離をより小さくすること、すなわち狭ピッチ化が要求されている。よって、バンプに対してもアスペクト比の高い、つまりその幅に比して高さのあるものが要求されるようになってきている。そこで、例えば特開平 10-107038 号の発明のようなバンプの形成方法が考えられている。すなわち、能動面の電極パッド上に、亜鉛（Zn）、アンチモン（Sb）を含有するハンダを接合し、そのハンダ上に導電粒子を接合するものである。

【0004】しかしながら、上記のような形成方法を用いる場合、バンプを高くするのに応じて、バンプを形成する金属の使用量も増大することになる。よって、高価な金を使用する場合には、コストアップの要因になる。また、バンプを高くするために、従来のものよりも複雑な製造工程を要するので、このこともコストアップの要因になる。

【0005】そこで、本発明は、前記した従来技術の欠点を解消するためになされたもので、アスペクト比が高く、かつ材料となる金属の使用量の低減化を図ることが可能な外部接続突起およびその形成方法、ならびにそれを用いた半導体チップ、回路基板ならびに電子機器を提供することを目的としている。

## 【0006】

【課題を解決するための手段】本発明は、上記の目的を達成するために、半導体チップの能動素子形成面に形成されてなる外部接続突起において、半導体チップの電極の近傍に形成してなる突出体と、前記電極上と前記突出体上とに連続的に形成してなる導電体と、を少なくとも有することを特徴とするものとした。

【0007】このように構成した本発明においては、外部接続突起を突出体と導電体とからなるものとし、突出体を所定の高さに形成し、その上に導電体を形成するので、アスペクト比の高い外部接続突起を形成することが容易にできる。

【0008】なお、導電体は、金（Au）、銅（Cu）またはニッケル（Ni）で形成することが好ましい。

【0009】また、上記の外部接続突起において、前記導電体を前記突出体の頂部を覆うように形成してなることを特徴とするものとした。

【0010】このように構成した本発明においては、突出体の頂部を電氣的接続に利用することができるので、アスペクト比の高い外部接続突起を得ることができる。

【0011】また、上記の外部接続突起において、前記

突出体の頂部を平坦に形成してなることを特徴とするものとした。

【0012】このように構成した本発明においては、突出体と基板の配線パターン等との接触面積を大きくすることができ、これらの電氣的導通をより確実に確保することができる。

【0013】そして、外部接続突起において、前記突出体を前記電極の配列に平行にかつ前記電極の近傍に形成するとともに、前記導電体を前記電極毎に1つずつ形成してなることを特徴とするものとした。

【0014】このように構成した本発明においては、1つの外部接続突起を複数の電極の電氣的接続に利用することができる。

【0015】そして、外部接続突起において、前記突出体を前記能動素子形成面の前記電極に囲まれた領域に枠状に形成してなることを特徴とするものとした。

【0016】このように構成した本発明においては、外部接続突起を半導体チップに形成されたすべての電極の電氣的接続に利用することができる。

【0017】そして、外部接続突起において、前記突出体は樹脂からなることを特徴とするものとした。

【0018】このように構成した本発明においては、突出体を所定の形状、高さに形成することが容易にできる。また、突出体が柔軟性を有するので、外部応力を外部接続突起に吸収することが可能となる。

【0019】また、半導体チップの能動素子形成面に形成されてなる外部接続突起において、半導体チップの電極上に有底円筒状に形成してなることを特徴とする外部接続突起とするものとした。

【0020】このように構成した本発明においては、外部接続突起が中空のものとなるので、外部接続突起を形成する材料の使用量の低減することができる。

【0021】また、半導体チップにおいて上記のいずれかに記載の外部接続突起を形成してなることを特徴とするものとした。

【0022】このように構成した本発明においては、外部接続突起を従来のものよりも狭ピッチで配置した半導体チップを提供することができる。ひいては、半導体チップ自体の小型化も可能となる。

【0023】くわえて、回路基板において、上記のいずれかの半導体チップが実装されてなることを特徴とするものとした。

【0024】このように構成した本発明においては、従来のものよりも小型化された回路基板を提供することができる。

【0025】さらに、電子機器において、上記の回路基板を有することを特徴とするものとした。

【0026】このように構成した本発明においては、従来のものよりも小型化された回路基板を利用するので、電子機器自体の小型化を図ることが容易になる。

【0027】そして、半導体ウェハ上に外部接続突起を形成する方法において、前記半導体ウェハ上に形成された電極の近傍に突出体を接着する工程と、前記電極上と前記突出体上にメッキ法により導電体を形成する工程と、を少なくとも有することを特徴とするものとした。

【0028】このように構成した本発明においては、半導体チップの電極の近傍に所定の大きさ、高さの外部接続突起を形成することが容易にできる。

【0029】

10 【発明の実施の形態】以下に、本発明に係る外部接続突起およびその形成方法、半導体チップ、回路基板ならびに電子機器の好適な実施の形態について添付図面を参照しながら詳細に説明する。

【0030】図1は、本発明の第1の実施の形態に係る外部接続突起の断面図である。また、図2は、本発明の第1の実施の形態に係る外部接続突起の変形例を示す断面図である。また、図3は、本発明の第1の実施の形態に係る外部接続突起の変形例を示す断面図である。また、図4は、本発明の第2の実施の形態に係る外部接続突起の断面図である。また、図5は、本発明の第3の実施の形態に係る外部接続突起の斜視図である。また、図6は、本発明の第4の実施の形態に係る外部接続突起の平面図である。また、図7は、本発明の実施の第1の形態に係る外部接続突起の製造工程の説明図である。また、図8は、本発明の実施の第2の形態に係る半導体チップの製造工程の説明図である。また、図9は、本発明の実施の第1の形態に係る外部接続突起を形成した半導体チップを実装した回路基板の説明図である。さらに、図10は、図9に示した回路基板を備えた電子機器の説明図である。

30

【0031】まず、本発明の第1の実施の形態について説明する。図1に示すように、この実施の形態に係る外部接続突起20は、半導体チップ10の電極パッド14が形成された能動面に設けられる。また、外部接続突起20は、能動面上に突出して形成される突出体22と、電極パッド14上と突出体22とに跨って形成される導電体24と、から形成されている。なお、半導体チップ10の能動面の表面には、保護膜12が形成されている。保護膜12は、半導体チップ10の内部に形成された図示しない能動素子や金属配線層を保護する機能も有するものであり、シリコン酸化膜(SiO<sub>2</sub>)やシリコン窒化膜(SiN)から形成されている。

【0032】突出体22は、熱硬化エポキシ樹脂から形成されており、また、電極パッド20と隣接する領域に、所定の高さ、例えば30〜100μmの高さに形成されている。また、突出体22の頂部は、図示しない基板等との電氣的接続をより確実にするために平坦に形成されている。なお、突出体22の材料としては、熱硬化エポキシ樹脂のほか、後述する方法により能動面上に突出体22を容易に形成できるものであれば、どのよう

50

な樹脂であっても良い。また、ガラスなど無機系材料を用いても良い。

【0033】導電体 24 は、金 (Au) から形成されており、また、電極パッド 14 と突出体 22 の頂部とを覆うように形成されるとともに、電極パッド 14 から突出部 22 の頂部まで連続的に形成されている。また、その厚みは 3~10  $\mu\text{m}$  である。なお、導電体 24 の材料としては、金のほかに、後述する方法により電極パッド 14 および突出体 22 上に導電体 24 を容易に形成できるものであれば、例えば銅 (Cu)、ニッケル (Ni) など他の金属も好ましく用いることができる。

【0034】したがって、外部接続突起 20 においては、所定の高さに形成された突出体 22 の頂部上に導電体 24 が形成され、さらに、この導電体 24 が電極パッド 14 と電気的に接続されているので、突出体 22 の頂部に図示しない基板の配線パターンなどを接続することにより、半導体チップ 10 と基板等とを電気的に接続することができる。また、突出体 22 は、任意の高さに容易に形成できるので、従来技術に係るバンプよりもアスペクト比が高い、すなわち、幅 50 に対して高さ 52 が

【0035】さらに、突出体 22 は樹脂で形成されているので、半導体チップ 10 等に加わる外部応力を突出体 22 に吸収することができる。くわえて、導電体 24 は、3~10  $\mu\text{m}$  の厚みに形成されているので、外部接続突起 20 が相当程度の高さを有する場合でも、導電材 24 の材料の使用量を抑えることが可能となる。また、突出体 22 は、絶縁性のある保護膜 12 上に形成されているので、突出体 22 から半導体チップ 10 に対して直接的にリーク電流が流れることがない。

【0036】なお、突出体 22 の形成部位は、電極パッド 14 に隣接する領域に限られるものではなく、必要に応じて電極パッド 14 から離隔して形成しても良い。この場合、電極パッド 14 上から突出体 22 の頂部まで連続して導電体 24 が形成されていればよい。また、突出体 22 の一部を電極パッド 14 上に形成しても良い。この場合、導電体 24 と電極パッド 14 との電気的導通が確実に確保される余地を残して形成することが好ましい。また、突出体 22 の頂部は、基板等との電気的接続を確実に確保できるのであれば、ゆるやかな凸面など他の形状に形成しても良い。

【0037】また、導電体 24 は、図 1 において、導電体 24 を電極パッド 14 から突出体 22 の頂部に至る範囲にのみ形成するものとしたが、図 2 に示すように、突出体 22 の表面全体に形成しても良い。また、突出体 22 は、図 1 において、その側面を傾斜させたものとしたが、図 3 に示すように、垂直なものとしても良い。

【0038】ここで、第 1 の実施の形態に係る外部接続突起の形成方法について、図 7 にしたがって説明する。

【0039】図 7 (A) に示すように、保護膜 12 およ

び電極パッド 14 の形成を終えた半導体ウェハ 16 において、まず、図 7 (B) に示すように、突出体 22 を電極パッド 14 に隣接する部位に置き、続けて加熱する。加熱することにより、突出体 22 を形成する樹脂が硬化して当該部位に貼り付く。なお、突出体 22 が光硬化性の樹脂で形成されている場合は、紫外線等を照射して硬化させる。また、突出体 22 が無機系材料で形成されている場合は、突出体 22 を接着剤で貼り付ける。次に、半導体ウェハ 16 全面にバリア膜とメッキ下地膜を形成する。

【0040】次に、図 7 (C) に示すように、半導体ウェハ 16 の能動面全体にフォトレジストを塗布してフォトレジスト膜 40 を形成し、続けてフォトレジスト膜 40 の露光、現像を行い、導電体を形成する部分の膜を除去して開口部 42 を形成する。なお、フォトレジスト膜 40 の厚みは、形成される外部接続突起の高さ以上にすることが望ましい。

【0041】次に、図 7 (D) に示すように、開口部 42 にメッキ法によって導電体 24 を形成する。なお、導電体 24 の厚みは、前述したように 3~10  $\mu\text{m}$  とすることが好ましい。

【0042】次に、図 7 (E) に示すように、フォトレジスト膜 40 を剥離する。なお、剥離方法は、ドライ式、ウェット式のいずれでも良い。次に、導電体 24 をマスクに使用し、不要部分のバリア膜、メッキ下地膜をエッチングする。

【0043】以上に説明した各工程により、外部接続突起 20 が形成される。以上の工程は、すべてウェハプロセスであり、各半導体チップに対する処理を一括して行うことができる。なお、半導体ウェハ 16 のダイシングは、以上の工程の終了後に行う。

【0044】続けて、本発明の第 2 の実施の形態について説明する。図 4 に示すように、この実施の形態に係る外部接続突起 20 は、電極パッド 14 上に有底円筒状部が直立した形状を呈している。また、中空部 28 が有底円筒状部の先端側に開口した状態で形成されており、さらに有底円筒状部の先端側の開口部には、水平方向に突出する鐔状部 26 が形成されている。なお、外部接続突起 20 の高さは 30~150  $\mu\text{m}$  の範囲で形成され、また、有底円筒状部および鐔状部 26 の厚みは 3~10  $\mu\text{m}$  の範囲である。また、外部接続突起 20 は、その全体を金で形成されている。

【0045】したがって、外部接続突起 20 においては、鐔状部 26 を含むその先端部に図示しない基板の配線パターンなどを接続することにより、半導体チップ 10 と基板等とを電気的に接続することができる。また、中空部 28 を形成しているため、外部接続突起 20 の形成に要する金の使用量に比して、アスペクト比が高い外部接続突起が容易に得られる。さらに、鐔状部 26 を設けることにより、外部接続突起 20 の先端付近の平面的

10

20

30

40

50

な面積を大きくしているので、基板等との接続に寄与する部分の面積が大きくなり、基板等との接続の信頼性を高める。

【0046】なお、外部接続突起 20 の材料としては、金のほかに、後述する方法により電極パッド 14 上に容易に形成できるものであれば、例えば銅、ニッケル、アルミニウム (A1) など他の金属も好ましく用いることができる。また、外部接続突起 20 の高さ、有底円筒状部および鍔状部 26 の厚みは、上述のものに限られるものではなく、必要に応じて適宜変更しても良い。

【0047】ここで、第 2 の実施の形態に係る外部接続突起の形成方法について、図 8 にしたがって説明する。

【0048】図 8 (A) に示すように、保護膜 12 および電極パッド 14 の形成を終えた半導体ウェハ 16 において、まず、図 8 (B) に示すように、半導体ウェハ 16 の能動面全体にフォトリソを塗布してフォトリソ膜 40 を形成し、続けてフォトリソ膜 40 の露光、現像を行い、外部接続突起を形成する部分の膜を除去して開口部 42 を形成する。次に、開口部内面にスパッタリングによりメッキ下地となる金属膜を形成する。次に、開口部内面以外の面、つまりレジスト上面の金属膜は逆スパッタ工程、または研磨工程で除去し、開口部内面の金属膜だけを残す。なお、フォトリソ膜 40 の厚みは、形成される有底円筒状部の高さに一致させることが望ましい。

【0049】次に、図 8 (C) に示すように、開口部 42 にメッキ法によって外部接続突起 20 を形成する。この際、金が開口部 42 周辺部のフォトリソ膜 40 上にまで析出して、鍔状部 26 が形成されるようにする。なお、外部接続突起 20 の厚みは、前述したように 3 ~ 10 μm とすることが好ましい。

【0050】次に、図 8 (D) に示すように、フォトリソ膜 40 を剥離する。なお、剥離方法は、ドライ式、ウェット式のいずれでも良い。

【0051】以上説明した各工程により、外部接続突起 20 が形成される。以上の工程は、すべてウェハプロセスであり、各半導体チップに対する処理を一括して行うことができる。なお、半導体ウェハ 16 のダイシングは、以上の工程の終了後に行う。

【0052】さらに、本発明の第 3 の実施の形態について説明する。この実施の形態においては、第 1 の実施の形態に係る外部接続突起を複数個一体化して設けたものである。すなわち、図 5 に示すように、外部接続突起 20 は、4 つの電極パッド 14 に隣接させて、かつ平行に突出体 22 を形成し、さらに、導電体 24 を 4 つの電極パッド毎に電極パッド 12 上と突出体 22 上に跨るように形成している。その他の構成は、第 1 の実施の形態において説明したものと同じである。

【0053】したがって、この実施の形態においては、第 1 の実施の形態と同様の作用効果を奏するとともに、

複数の電極パッドに対して 1 つの突出体を設ける構成にしたことにより、外部接続突起の形成工程の簡略化を図ることができる。

【0054】なお、図 5 においては、4 つの電極パッド 14 に対して 1 つの突出体 22 を設けたが、電極パッド 14 の個数はこれに限られるものではなく、2 個以上であるならばいずれの個数であっても良い。また、突出体 22 の形状、および導電体 24 の形成範囲は、第 1 の実施の形態と同様に、図 2 または図 3 に示したものとしても良い。また、外部接続突起 20 の形成は、複数個の突出体 22 を一体に形成する点を除いて、第 1 の実施の形態と同様の方法により行う。

【0055】さらに、本発明の第 4 の実施の形態について説明する。この実施の形態においては、1 つの半導体チップに形成される外部接続突起をすべて一体化したものである。すなわち、図 6 に示すように、外部接続突起 20 は、半導体チップ 10 の各電極パッド 14 の内側に隣接するように杵状突出体 30 を配置し、さらに、導電体 24 を各電極パッド毎に電極パッド 12 上と杵状突出体 30 上に跨るように形成している。その他の構成は、第 1 の実施の形態において説明したものと同じである。

【0056】したがって、この実施の形態においては、第 1 の実施の形態と同様の作用効果を奏するとともに、1 つの半導体チップに形成されるすべての電極パッドに対して 1 つの突出体を設ける構成にしたことにより、外部接続突起の形成工程の簡略化を図ることができる。

【0057】なお、杵状突出体 30 は、その中央に開口部を設けない形状、すなわち全体を 1 枚の板状体に形成しても良い。また、突出体 22 の形状、および導電体 24 の形成範囲は、第 1 の実施の形態と同様に、図 2 または図 3 に示したものとしても良い。また、外部接続突起 20 の形成は、すべての突出体 22 を一体に形成する点を除いて、第 1 の実施の形態と同様の方法により行う。

【0058】さらに、以上説明した外部接続突起を形成した半導体チップを利用した例として図 9 を示す。すなわち、図 9 は、本発明の実施の形態に係る外部接続突起を形成した半導体チップ 110 を実装した回路基板 100 を示している。回路基板 100 には、例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 100 には、例えば銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体チップ 110 の外部電極とを機械的に接続することでそれらの電気的導通が図られる。

【0059】なお、半導体チップ 110 は、実装面積をベアチップにて実装する面積にまで小さくすることができるものであり、この回路基板 100 を電子機器に用いれば電気機器自体の小型化が図れる。また、同一面積内においては、より実装スペースを確保することができ、

高機能化を図ることも可能である。

【0060】そして、この回路基板100を備える電子機器として、図10にノート型パーソナルコンピュータ120を示した。

【0061】以上のように、本発明の実施の形態においては、微小でかつアスペクト比の高い外部接続突起を形成できるので、特に小型の半導体チップに好適な外部接続突起を提供できる。また、複数の電極パッドに対して1つの外部接続突起を形成するものとしたので、外部接続突起の形成工程の簡略化を図ることができる。

#### 【0062】

【発明の効果】以上に説明したように、本発明によれば、電極が形成されてなる半導体チップにおいて、前記電極に接続されるとともに、前記半導体チップの能動素子形成面と平行に突出する突出部を形成してなる外部接続突起を有する構成としているため、アスペクト比が高くかつ材料となる金属の使用量が少ない外部接続突起をを容易に形成することができる。また、この外部接続突起を形成した半導体チップ、さらには、その半導体チップを実装した回路基板、その回路基板を備える電子機器の小型化にも寄与する。くわえて、これらのコストダウンにも著しく寄与する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る外部接続突起の断面図である。

【図2】本発明の第1の実施の形態に係る外部接続突起の変形例を示す断面図である。

【図3】本発明の第1の実施の形態に係る外部接続突起の変形例を示す断面図である。

【図4】本発明の第2の実施の形態に係る外部接続突起の断面図である。

【図5】本発明の第3の実施の形態に係る外部接続突起の斜視図である。

【図6】本発明の第4の実施の形態に係る外部接続突起の平面図である。

【図7】本発明の実施の第1の形態に係る外部接続突起の製造工程の説明図である。

【図8】本発明の実施の第2の形態に係る半導体チップの製造工程の説明図である。

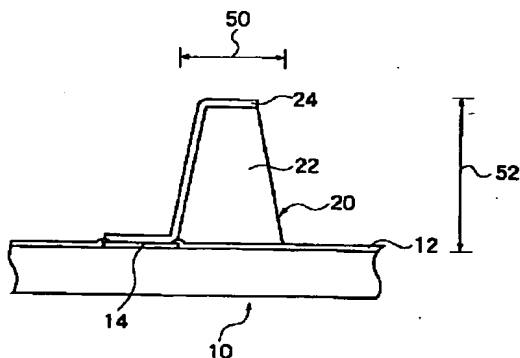
【図9】本発明の実施の第1の形態に係る外部接続突起を形成した半導体チップを実装した回路基板の説明図である。

【図10】図9に示した回路基板を備えた電子機器の説明図である。

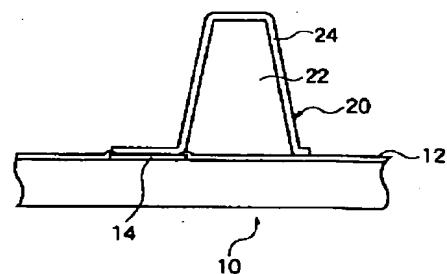
#### 【符号の説明】

10	半導体チップ
12	保護膜
14	電極パッド
16	半導体ウェハ
20	外部接続突起
22	突出部
24	導電体
26	鐳状部
28	中空部
30	枠状突出体
40	フォトリジスト膜
42	開口部
50	幅
52	高さ
100	回路基板
110	半導体装置
120	ノート型パーソナルコンピュータ

【図1】

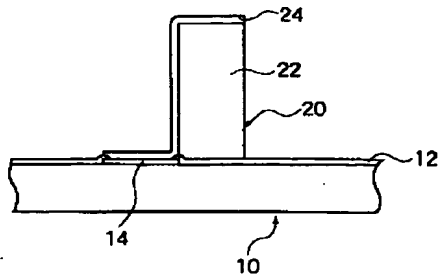


【図2】

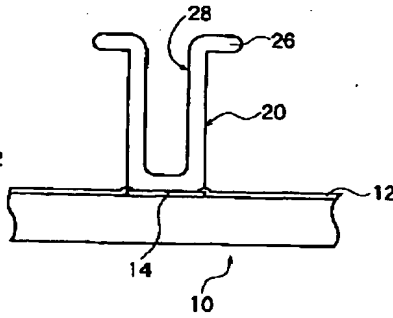




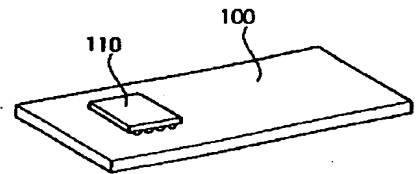
【図3】



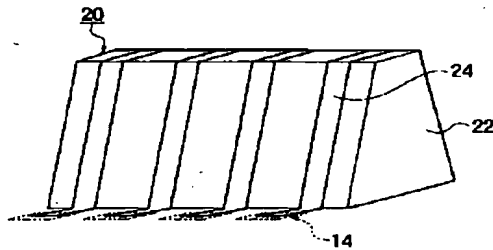
【図4】



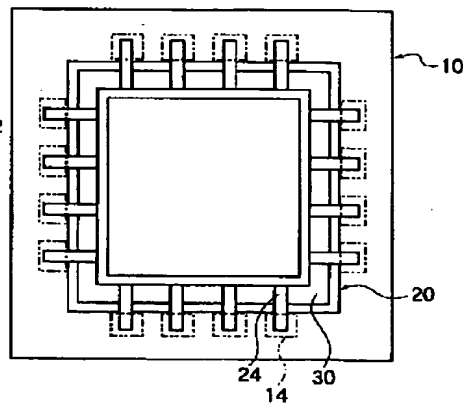
【図9】



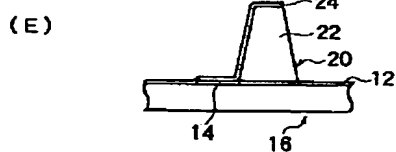
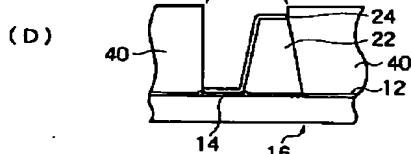
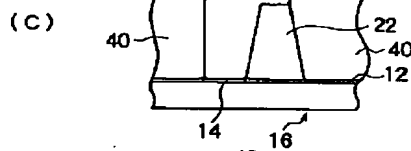
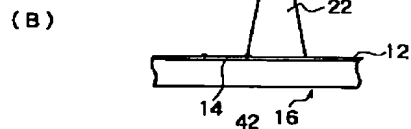
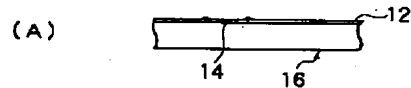
【図5】



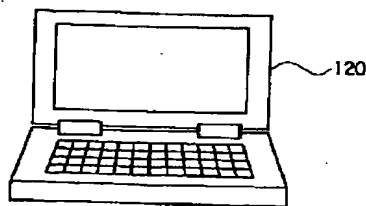
【図6】



【図7】



【図10】



【図 8】

